

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026246

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 25/07

H01L 25/18

H01L 21/60

(21)Application number : 2000-199626

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.2000

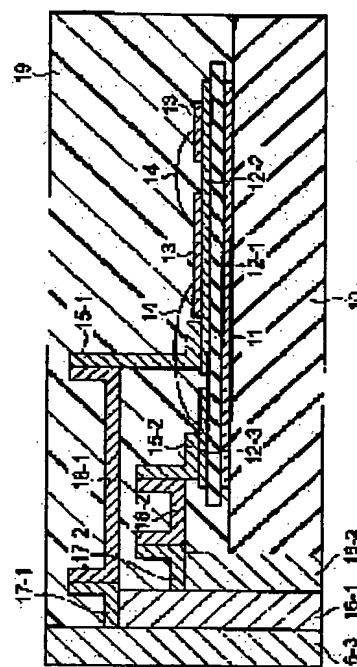
(72)Inventor : OGATA KENICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which reduces the burden of a manufacturing process and whose production costs can be reduced by dealing with an increase in a rated current without increasing a wire bonding process.

SOLUTION: A semiconductor chip 13 which comprises an IGBT or the like is mounted on the surface of a mounting board 11 via a metal pattern 12-2. The main surface of the semiconductor chip 13 and a metal pattern 12-3 are connected by a bonding wire 14. A collector external output terminal 15-1 and an emitter external output terminal 15-2 are installed on the metal patterns 12-2, 12-3. The terminal 15-1 and the terminal 15-2 are electrically connected by a welding connection to the terminal 15-1 and the terminal 15-2 by a collector lead frame 18-1 and an emitter lead frame 18-2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-26246
(P2002-26246A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 25/07		H 0 1 L 21/60	3 0 1 B 5 F 0 4 4
25/18			3 2 1 E
21/60	3 0 1	25/04	C
	3 2 1		

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2000-199628 (P2000-199628)

(22) 出願日 平成12年6月30日 (2000.6.30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 緒方 健一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

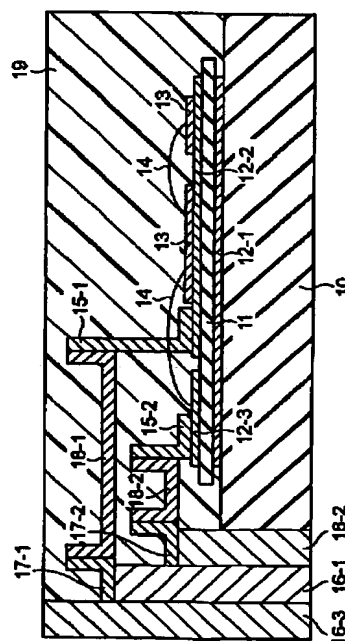
Fターム(参考) 5F044 AA01 AA05 GG00 JJ03 JJ05

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ワイヤボンディング工程を増やすことなく定格電流の増加に対応出来ることにより、製造工程の負担を軽減して製造コストを低減できる半導体装置を提供すること。

【解決手段】 実装基板11の表面に金属パターン12-2を介してIGBT等を有する半導体チップ13が実装されており、半導体チップ13の主表面と金属パターン12-3との間にはボンディングワイヤ14によって接続されている。また金属パターン12-2、12-3上にはコレクタ接続端子15-1、エミッタ接続端子15-2が設けられている。そしてコレクタ接続端子15-1、エミッタ接続端子15-2はそれぞれコレクタリードフレーム18-1、エミッタリードフレーム18-2によりコレクタ外部出力端子15-1、エミッタ外部出力端子15-2に、溶接接続により電氣的に接続されていることを特徴としている。



【特許請求の範囲】

【請求項1】 半導体素子が実装された実装基板と、外部との電力の授受を行うための外部端子と、前記実装基板と前記外部端子との間を電氣的に接続し、前記半導体素子の消費電力に十分な電力容量を有するリードフレームとを具備することを特徴とする半導体装置。

【請求項2】 前記リードフレームは、主としてAlと実質的に等しい若しくはAl以下の電気抵抗率を有する材質からなることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記リードフレームは、隣接するリードフレームと平行に、且つ電流が逆向き流れるようにして近接配置されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記実装基板上に設けられ、前記半導体素子と電氣的に接続される接続端子を更に備え、前記接続端子と前記外部端子とが前記リードフレームにより接続され、前記接続端子と前記リードフレームとは溶接接合されていることを特徴とする請求項1乃至3いずれか1項記載の半導体装置。

【請求項5】 前記実装基板上に設けられ、前記半導体素子と電氣的に接続され、一部が接続端子を構成する導電性部材を更に備え、前記接続端子と前記外部端子とが前記リードフレームにより接続され、前記接続端子と前記リードフレームとは溶接接合されていることを特徴とする請求項1乃至3いずれか1項記載の半導体装置。

【請求項6】 前記接続端子は、前記実装基板に少なくともAlより低抵抗の材料によりロー付けされていることを特徴とする請求項4記載の半導体装置。

【請求項7】 前記接続端子は、少なくとも前記リードフレームと接触する領域に設けられた錫または半田による皮膜を有することを特徴とする請求項4乃至6いずれか1項記載の半導体装置。

【請求項8】 異なる電位を有する複数の前記リードフレームの少なくとも一部領域はモールド樹脂により絶縁されていることを特徴とする請求項1乃至7いずれか1項記載の半導体装置。

【請求項9】 前記絶縁基板上に設けられ、前記実装基板及び半導体素子をモールドする絶縁樹脂を更に備え、前記リードフレーム及び前記接続端子の少なくとも一部は前記絶縁樹脂上に露出していることを特徴とする請求項8記載の半導体装置。

【請求項10】 前記リードフレームは、少なくとも一部領域に波状の断面構造を有する機械的緩衝構造であることを特徴とする請求項1乃至9いずれか1項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関するもので、特に大電力用の半導体装置のボンディング技術に係る。

【0002】

【従来の技術】従来の半導体素子のモジュールにおいて、半導体素子、この半導体素子を実装した実装基板、及び外部電力端子等の相互間の接続はワイヤボンディングによって行われている。そして、特に大電力用半導体素子のモジュールでは定格電流の増加に伴い、ボンディングワイヤの電流容量の確保が重要となっている。

【0003】従来の大電力用半導体素子のモジュールの一例としてIGBTを例に挙げて説明する。図12は従来のIGBTモジュールの断面図である。

【0004】図示するように、放熱板100上には導電性部材120-1を介して実装基板110が設けられ、この実装基板110上に、IGBTの形成された半導体チップ130、130が、パターンニングされた導体パターン120-2を介して搭載されている。また、実装基板110上には導体パターン120-2と分離された導体パターン120-3が設けられている。更に、放熱板100の端部には外部電力端子160-1～3が設けられている。そして、導体パターン120-3と外部入力端子160-2間、導体パターン120-3と半導体チップ130間、及び半導体チップ130同士がボンディングワイヤ140によって電氣的に接続されている。ボンディングワイヤ140には通常Alが用いられる。Alは室温（25℃）において電気抵抗率が $2.74\mu\Omega\cdot\text{cm}$ であり、非常に良好な電気伝導性の得られる材料である。そして、全体を絶縁樹脂190が被覆することによりIGBTモジュールが構成されている。

【0005】しかしボンディングワイヤはその断面積により電流容量が制限される。そのためIGBTモジュールの定格電流の増加に伴いボンディングワイヤ数を増やす必要がある。すなわち、ワイヤボンディング工程が増加して製造コストが上昇するという問題があった。

【0006】

【発明が解決しようとする課題】上記従来の大電力用半導体素子のモジュールにおいては、電氣的な接続はワイヤボンディングによって行われている。このボンディングワイヤには通常、低抵抗材料であるAlが使用されており、良好な電気伝導性が得られている。

【0007】しかし、ボンディングワイヤはその断面積により電流容量が制限される。そのためIGBTモジュールの定格電流の増加に伴いボンディングワイヤ数を増やす必要があり、工程が増加して製造コストが上昇するという問題があった。

【0008】この発明は、上記事情に鑑みてなされたもので、その目的は、ワイヤボンディング工程を増やすこ

となく定格電流の増加に対応出来ることにより、製造工程の負担を軽減して製造コストを低減できる半導体装置を提供することにある。

【0009】

【課題を解決するための手段】この発明の請求項1記載の半導体装置は、半導体素子が実装された実装基板と、外部との電力の授受を行うための外部端子と、前記実装基板と前記外部端子との間を電氣的に接続し、前記半導体素子の消費電力に十分な電力容量を有するリードフレームとを具備することを特徴としている。

【0010】請求項2に記載したように、請求項1記載の半導体装置において、前記リードフレームは、主としてA1と実質的に等しい若しくはA1以下の電気抵抗率を有する材質からなることを特徴としている。

【0011】請求項3に記載したように、請求項1または2記載の半導体装置において、前記リードフレームは、隣接するリードフレームと平行に、且つ電流が逆向き流れるようにして近接配置されていることを特徴としている。

【0012】請求項4に記載したように、請求項1乃至3いずれか1項記載の半導体装置において、前記実装基板上に設けられ、前記半導体素子と電氣的に接続される接続端子を更に備え、前記接続端子と前記外部端子とが前記リードフレームにより接続され、前記接続端子と前記リードフレームとは溶接接合されていることを特徴としている。

【0013】請求項5に記載したように、請求項1乃至3いずれか1項記載の半導体装置において、前記実装基板上に設けられ、前記半導体素子と電氣的に接続され、一部が接続端子を構成する導電性部材を更に備え、前記接続端子と前記外部端子とが前記リードフレームにより接続され、前記接続端子と前記リードフレームとは溶接接合されていることを特徴としている。

【0014】請求項6に記載したように、請求項4記載の半導体装置において、前記接続端子は、前記実装基板に少なくともA1より低抵抗の材料によりロー付けされていることを特徴としている。

【0015】請求項7に記載したように、請求項4乃至6いずれか1項記載の半導体装置において、前記接続端子は、少なくとも前記リードフレームと接触する領域に設けられた錫または半田による皮膜を有することを特徴としている。

【0016】請求項8に記載したように、請求項1乃至7いずれか1項記載の半導体装置において、異なる電位を有する複数の前記リードフレームの少なくとも一部領域はモールド樹脂により絶縁されていることを特徴としている。

【0017】請求項9に記載したように、請求項8記載の半導体装置において、前記絶縁基板上に設けられ、前記実装基板及び半導体素子をモールドする絶縁樹脂を更

に備え、前記リードフレーム及び前記接続端子の少なくとも一部は前記絶縁樹脂上に露出していることを特徴としている。

【0018】請求項10に記載したように、請求項1乃至9いずれか1項記載の半導体装置において、前記リードフレームは、少なくとも一部領域に波状の断面構造を有する機械的緩衝構造であることを特徴としている。

【0019】請求項1のような構造によれば、半導体素子モジュール等において実装基板と外部端子との間の接続をリードフレームにより行っている。そのため、半導体素子の定格電流が増加しても、その電流容量に十分なリードフレームを用いることにより対応できる。すなわち、従来のワイヤボンディングでは、その電流容量がボンディングワイヤの断面積により制限を受けるため、定格電流の増加に伴いボンディングワイヤの使用数が増大し、ワイヤボンディング工程が増加するという問題が生じていた。しかし、十分な電流容量をもつリードフレームを用いることで工程数を増やすことなくボンディングを行うことが出来るので、半導体装置の製造コストを抑えつつ信頼性及び性能を向上できる。

【0020】請求項2のように、リードフレームにはA1と実質的に等しい若しくはA1以下の電気抵抗率を有する材料を用いることで、ワイヤボンディングと同等若しくはそれ以上の電氣的特性を得ることが出来る。

【0021】請求項3のように、隣接するリードフレーム同士を平行に且つ電流の流れる向きが逆になるよう近接配置することにより、寄生インダクタンスを抑制し、電氣的特性を向上できる。

【0022】請求項4のように、実装基板上に接続端子を設け、この接続端子とリードフレームとの溶接接合で実装基板と外部端子とを電氣的に接続することにより、半導体装置の電氣的特性及び信頼性を向上できる。

【0023】請求項5のように、接続端子は実装基板上に設けた導電性部材により形成してもよく、この場合には更に半導体装置の製造工程を簡略化できる。

【0024】請求項6、7のように、接続端子を実装基板にロー付けにより接続し、または接続端子のリードフレームと接触する領域に錫、半田などの皮膜を設けることにより、実装基板と外部端子との間の接触抵抗を軽減し、電氣的特性を向上できる。

【0025】請求項8のように、複数のリードフレームの少なくとも一部を樹脂によりモールドすることにより、複数のリードフレームを部品として絶縁を保ちつつ一体化でき、組み立て精度を向上できると共に、製造工程を簡略化できる。

【0026】請求項9のように、リードフレームの少なくとも一部を樹脂によりモールドすることで、半導体素子や実装基板をモールドする絶縁樹脂はそれらが十分に絶縁される最低限の量に抑えることが出来る。すなわち、リードフレーム全体を樹脂で多量に必要がないため、

絶縁樹脂の使用量を低減でき、製造コストを削減できる。

【0027】請求項10のように、リードフレームの特に樹脂によりモールドされない領域の少なくとも一部に機械的緩衝構造を設けることで、リードフレームの熱膨張による悪影響を回避でき、半導体装置の信頼性を向上できる。

【0028】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0029】この発明の第1の実施形態に係る半導体装置について、IGBTモジュールを例に挙げて説明する。図1はIGBTモジュールの断面図である。

【0030】図示するように、放熱板10上にはAlNあるいはSiN等のセラミック板11（実装基板）が搭載されている。この実装基板11の裏面には、室温（25℃）における電気抵抗率が $1.70\mu\Omega\cdot\text{cm}$ のCu、あるいはAlといった金属等の導電性部材12-1が半田によって接続されている。また実装基板11の表面にも上記導電性部材が設けられており、この導電性部材はいくつかの導体パターン12-2、12-3にパターンニングされている。そして導体パターン12-2上に、IGBT等の半導体素子の形成された半導体チップ13、13が実装されている。通常、IGBTはその主表面にエミッタ領域が形成され、裏面（半導体基板）にコレクタ領域が形成される。そのためIGBTのエミッタ領域とのコンタクトを取るために、半導体チップ13の主表面と導体パターン12-3との間にはボンディングワイヤ14によって接続されている。また導体パターン12-2、12-3上には、例えばCuやAlと同等以上の低電気抵抗率の金属あるいは金属複合材からなるコレクタ接続端子15-1、エミッタ接続端子15-2がそれぞれ設けられている。放熱板10の端部にはモジュール外部と電力の授受を行う外部電力端子16-1～3が設けられ、外部電力端子16-1、16-2には、例えばCuやAlと同等以上の低電気抵抗率の金属あるいは金属複合材からなるコレクタ外部出力端子17-1、エミッタ外部出力端子17-2がそれぞれ設けられている。そしてコレクタ接続端子15-1、エミッタ接続端子15-2はそれぞれコレクタリードフレーム18-1、エミッタリードフレーム18-2によりコレクタ外部出力端子17-1、エミッタ外部出力端子17-2に、溶接接合により電気的に接続されている。更に、全体をシリコンゲル等の絶縁樹脂19が覆うことによりIGBTモジュールが構成されている。なお、図のようにリードフレーム18-1、18-2は平行に且つ両リードフレームに流れる電流の向きが逆になるようにして近接配置される。

【0031】図2は上記IGBTモジュールの一部斜視

図であり、図1における特にコレクタ、エミッタ接続端子15-1、15-2の構造を示しており、図3はリードフレームと各端子との接合部分の拡大断面図である。

【0032】図2に示すように、導体パターン12-2、12-3上にはそれぞれL字型をしたコレクタ接続端子15-1、エミッタ接続端子15-2がそれぞれ設けられているが、当然ながら導体パターン12-2、12-3とコレクタ、エミッタ接続端子15-1、15-2の間には接触抵抗が発生する。そのため、図3に示すように、例えば電気抵抗率が $1.61\mu\Omega\cdot\text{cm}$ のAg等の低電気抵抗率の金属20によるロー付けで接続端子15を導体パターン12上に接合している。また、このロー付けに影響を及ぼさない範囲で、接続端子15、リードフレーム18、及び出力端子17の表面に、Sn、半田といった金属の皮膜21設けることにより、接触面積を拡大させている。

【0033】上記第1の実施形態によれば、従来ワイヤボンディングにより行っていた外部端子と半導体チップとの電気的な接続を、リードフレームを用いた溶接接合により行っている。そのため、IGBT等の半導体素子の定格電流が増加しても、その電流容量に十分なリードフレームを用いることにより対応できる。すなわち、従来のAlワイヤを用いたワイヤボンディングでは、その電流容量がAlワイヤの断面積により制限を受けるため、定格電流の増加に伴いボンディングワイヤの使用数が増大し、ワイヤボンディング工程が増加するという問題が生じていた。しかし、本実施形態のようにリードフレームを用いることで工程数を増やすことなく十分な電気容量をもつリードフレームにてボンディングを行うことが出来るので、半導体装置の製造コストを抑えつつ信頼性及び性能を向上できる。

【0034】なお、リードフレーム材質にはAlまたはCuを例に挙げて説明したが、少なくともAlより電気抵抗率の低い材料を主としたものであればよく、例えばAuや、Al、Cu、Au等を主とする化合物、またはCu/コパール/Cuの3層構造を有するリードフレームを用いてもかまわない。

【0035】また本実施形態ではリードフレームを用いて溶接接合する為に、導体パターン及び外部電力端子にそれぞれ接続端子及び出力端子を設ける必要がある。この両者の間には通常接触抵抗が発生するが、本実施形態では接触抵抗の発生する部分をAg等の非常に電気抵抗率の低い金属によるロー付けにより接合している。これにより導体パターン及び外部電力端子と接続端子及び出力端子との間の接触抵抗を軽減して電気的特性を向上できる。

【0036】更に、隣接するリードフレーム同士を平行に且つ電流の流れる向きが逆になるよう近接配置することにより、寄生インダクタンスを抑制し、電気的特性を向上できる。

【0037】また、リードフレームと接続端子及び出力端子にはSn、または半田等の皮膜を設けている。この点について図4(a)、(b)を用いて説明する。図4(a)、(b)はそれぞれ従来の方法、本実施形態の方法によるリードフレームと端子との溶接接合の様子を示している。図4(a)に示すように、通常の溶接接合には、溶接用のピックアップ22が接触する部分のみ溶接接合され、その他の部分は大きな抵抗となる。しかし、上記皮膜21を設けることで溶接時に金属皮膜の溶融が発生して両者の接触面積を拡大できる。そのため接触抵抗を最低限に抑えることが出来、ワイヤボンディングと同等の電気特性を得ることが出来る。

【0038】次にこの発明の第2の実施形態に係る半導体装置について、第1の実施形態同様IGBTモジュールを例に挙げて、図5、図6を用いて説明する。図5、図6はIGBTモジュールの断面図、一部斜視図をそれぞれ示しており、図6は特にコレクタ、エミッタ接続端子の構造を示している。

【0039】図示するように、本実施形態に係るIGBTモジュールは、第1の実施形態で説明したIGBTモジュールにおいて、導体パターン12-2、12-3の一部をそれぞれ用いてコレクタ、エミッタ接続端子15-1、15-2を形成したものである。この場合、コレクタ、エミッタ接続端子15-1、15-2がチップ実装及びボンディングに影響を与えない範囲で行うことが必要である。

【0040】また、第1の実施形態と同様に、コレクタ、エミッタ接続端子15-1、15-2及びリードフレーム18-1、18-2には錫や半田による皮膜を設けてもよい。

【0041】上記実施形態によれば、導体パターンの一部を用いて、リードフレームとの溶接接合に必要なコレクタ接続端子、エミッタ接続端子を形成している。そのため第1の実施形態による効果に加え、コレクタ接続端子、エミッタ接続端子を実装基板上に設置する工程を経ないため、製造工程を簡略化し製造コストの削減を図ることが出来る。また、第1の実施形態と異なり、実装基板とコレクタ、エミッタ端子間における接触抵抗が発生しないために、更に優れた電気的特性が得られる。

【0042】次にこの発明の第3の実施形態に係る半導体装置について、第1の実施形態同様IGBTモジュールを例に挙げて説明する。図7、図8はIGBTモジュールの断面図、一部斜視図をそれぞれ示しており、図8は特にコレクタ、エミッタ接続端子及びリードフレーム周辺の構造を示している。

【0043】図示するように本実施形態に係るIGBTモジュールの構造は第1、第2の実施形態で説明したものと同様であるが、リードフレーム18-1、18-2の一部がモールド樹脂23により封止されている。リードフレーム18-1、18-2を被覆するモールド樹脂

23は、このモールド樹脂を貫通するスルーホール24-1を有しており、またモールド樹脂23に被覆されたリードフレーム18-1にもスルーホール24-2が、スルーホール24-1に対応する位置に設けられている。このスルーホール24-1内でリードフレーム18-2とエミッタ接続端子15-2とが溶接接続されているが、リードフレーム18-1、18-2をモールド樹脂23により被覆した後に、この溶接接続を行うためにリードフレーム18-1にもスルーホール24-2が必要である。また図7及び図9のIGBTモジュールの一部斜視図に示すように、絶縁樹脂19はリードフレーム18-1、18-2やコレクタ、エミッタ接続端子15-1、15-2、外部電力端子17-1、17-2の全ては覆っておらず、少なくとも半導体チップ13及びボンディングワイヤ14を覆うようにして設けられている。

【0044】上記のような構成によれば、複数のリードフレームの少なくとも一部をモールド樹脂により絶縁している。そのため、第1の実施形態で述べた効果に加えて、複数のリードフレームを部品として絶縁を保ちつつ一体化でき、組み立て精度を向上できると共に、製造工程を簡略化できる。

【0045】また、リードフレームをモールド樹脂により絶縁することにより、従来はIGBTモジュール全体を被覆する必要があった絶縁樹脂を、少なくとも半導体チップ及びチップ間のボンディングワイヤを被覆するように設ければよい。そのため、絶縁樹脂の使用量を低減でき、製造コストを削減できる。

【0046】図10は本実施形態の第1の変形例に係るIGBTモジュールの断面図である。図示するように、このIGBTモジュールは第2の実施形態で述べた構造において、リードフレーム18-1、18-2をモールド樹脂23で被覆したものであり、本構造によれば、上記効果に加えて第2の実施形態で述べた効果を合わせて得ることが出来る。

【0047】図11は本実施形態の第2の変形例に係るIGBTモジュールのリードフレームの構造について示している。図示するように、本変形例ではモールド樹脂23から露出しているリードフレーム18-1、18-2の一部(破線で囲まれた領域)を波状の構造としている。リードフレームの材料としてのCuは熱膨張率が比較的大きな材料である。そのため、リードフレームをモールド樹脂23により被覆した状態で接続端子15-1、15-2及び17-1、17-2と溶接接合を行うと、熱によりこの接合部分にストレスが発生する。しかし、本変形例のようにリードフレームの一部に機械的緩衝構造を持たせることにより、熱膨張率によるストレスを解放でき、IGBTモジュールの信頼性を向上できる。

【0048】上記第1乃至第3の実施形態によれば、I

GBT等の半導体素子モジュールにおいて、従来ワイヤボンディングにより行っていた実装基板と外部電力端子との間のボンディングをリードフレームを用いて行っている。従来のワイヤボンディングでは、ボンディングワイヤの定格電流がその断面積に制限を受けるため、半導体素子の消費電流が増加した場合、それに応じてボンディングワイヤ数を増やす必要があった。しかし、この発明のように半導体素子の消費電流に応じたリードフレームを用いれば、工程を増加させることなくボンディングを行うことが出来る。また、リードフレームの横幅を大きく取ることにより断面積を大きくし、リードフレームの電気抵抗を低減できる。更に、リードフレームの材料にはA1と実質的に等しい若しくはA1以下の電気抵抗率を有する材料を用いることで、ワイヤボンディングと同等若しくはそれ以上の電気的特性を得ることが出来る。更に、配線に大電流を流すと寄生インダクタンスが発生する。しかし、この発明のようにボンディングワイヤの代わりにリードフレームを用い、異なる電位のリードフレームを平行に且つそれらに流れる電流の向きが逆方向になるよう近接配置することで、この寄生インダクタンスを抑制できる。このようにリードフレームを使って実装基板と外部電力端子との間を溶接接合する場合、リードフレームと実装基板との間を接続するための接続端子が必要となる。するとこの接続端子とリードフレーム及び実装基板との間には接触抵抗が当然発生するため、電気的特性の悪化の原因となる。しかし実装基板と接続端子との間をAg等の低抵抗金属によりロー付けし、且つ接続端子とリードフレームの接触部分に錫、半田等の皮膜を設けて溶接接合することにより、接触抵抗を低減し、電気的特性を向上できる。更には、複数のリードフレームを樹脂により一体成形化することで、構造的に堅牢な1つの部品として扱うことが出来、製造の際の負荷を軽減できる。また、リードフレームを樹脂により被覆することにより、実装基板や半導体チップを被覆する絶縁樹脂量を低減できるため、製造コストを低減できる。

【0049】なお、上記第1乃至第3の実施形態ではIGBTモジュールを例に挙げて説明したが、半導体チップに形成される半導体素子は当然IGBTに限られるものではなく、MOSFETやバイポーラトランジスタ、ダイオード等でも良く、複数の異なる半導体素子が形成されたものでもかまわないことは言うまでもない。

【0050】なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出される。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発

明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出される。

【0051】

【発明の効果】以上説明したように、この発明によれば、ワイヤボンディング工程を増やすことなく定格電流の増加に対応出来ることにより、製造工程の負担を軽減して製造コストを低減できる半導体装置を提供出来る。

【図面の簡単な説明】

【図1】この発明の第1の実施形態に係るIGBTモジュールの断面図。

【図2】この発明の第1の実施形態に係るIGBTモジュールの一部斜視図。

【図3】この発明の第1の実施形態に係るIGBTモジュールの各端子間の接続部分の拡大断面図。

【図4】この発明の第1の実施形態に係るIGBTモジュールにおいて、リードフレームと接続端子との間の溶接接合の方法について説明するための図であり、(a)図は従来方法、(b)図は本発明による方法。

【図5】この発明の第2の実施形態に係るIGBTモジュールの断面図。

【図6】この発明の第2の実施形態に係るIGBTモジュールの一部斜視図。

【図7】この発明の第3の実施形態に係るIGBTモジュールの断面図。

【図8】この発明の第3の実施形態に係るIGBTモジュールの一部斜視図。

【図9】この発明の第3の実施形態に係るIGBTモジュールの一部斜視図。

【図10】この発明の第3の実施形態の第1の変形例に係るIGBTモジュールの断面図。

【図11】この発明の第3の実施形態の第2の変形例に係るIGBTモジュールのリードフレームの構造を示す図。

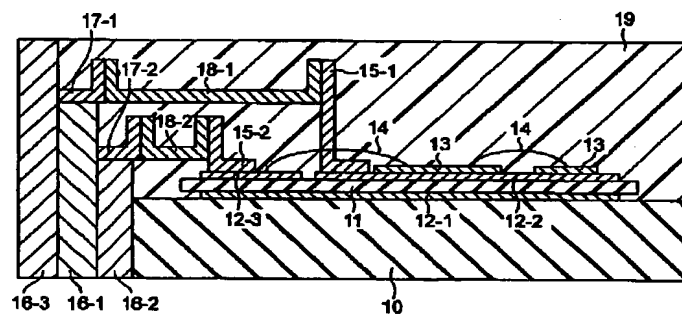
【図12】従来のIGBTモジュールの断面図。

【符号の説明】

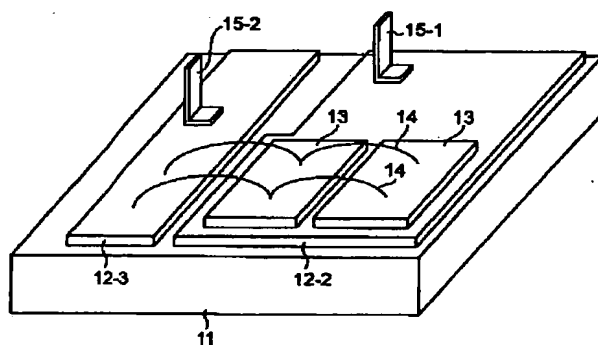
- 10、100…放熱板
- 11、110…実装基板
- 12、12-1～3、120-1～3…導体
- 13、130…半導体チップ
- 14、140…ボンディングワイヤ
- 15、15-1、15-2…接続端子
- 16、16-1～3、160-1～3…外部電力端子
- 17、17-1、17-2…外部出力端子
- 18、18-1、18-2…リードフレーム
- 19、190…絶縁樹脂
- 20…低電気抵抗率金属
- 21…皮膜
- 22…溶接用ピックアップ
- 23…モールド樹脂

24-1、24-2…スルーホール

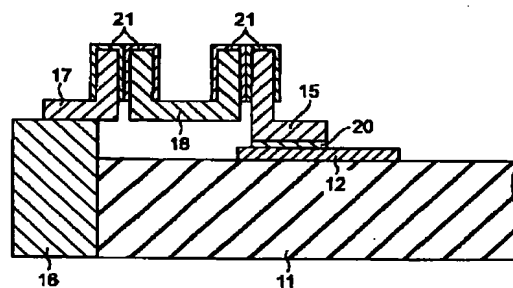
【図1】



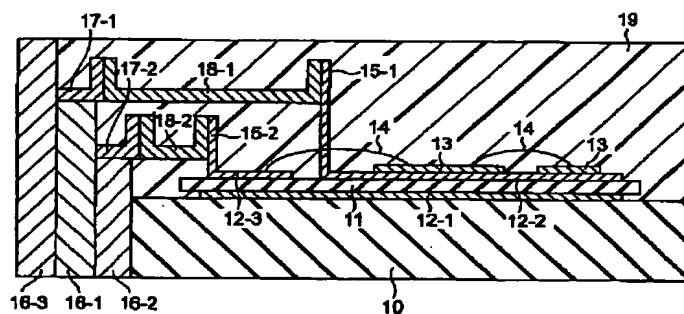
【図2】



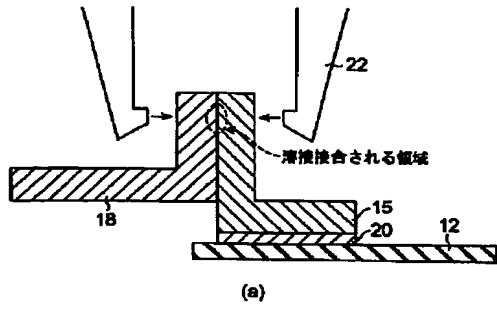
【図3】



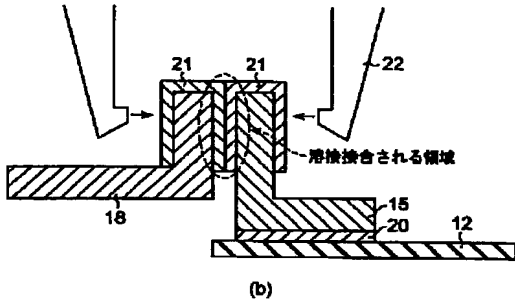
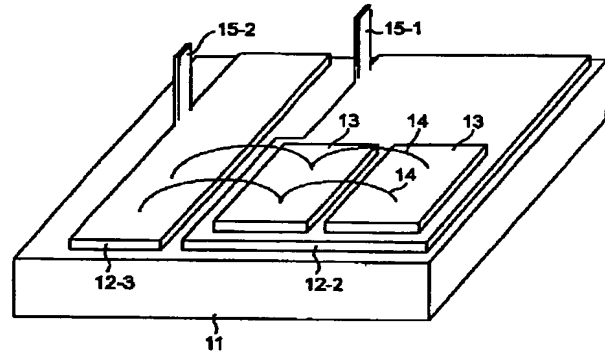
【図5】



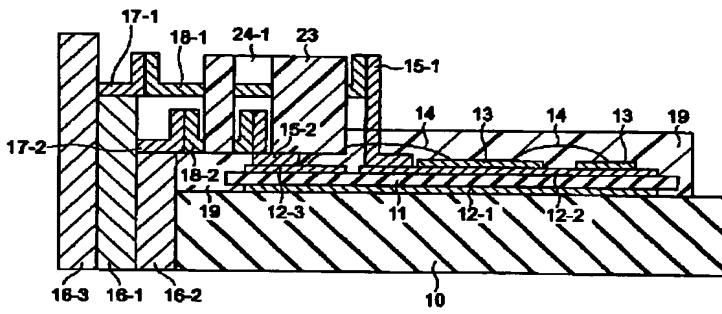
【図4】



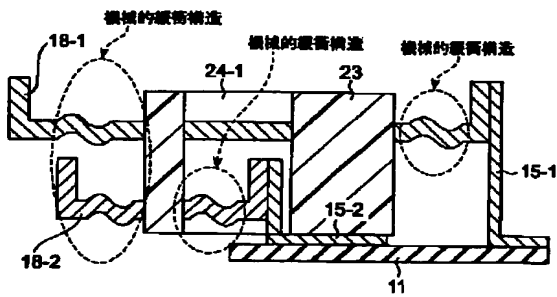
【図6】



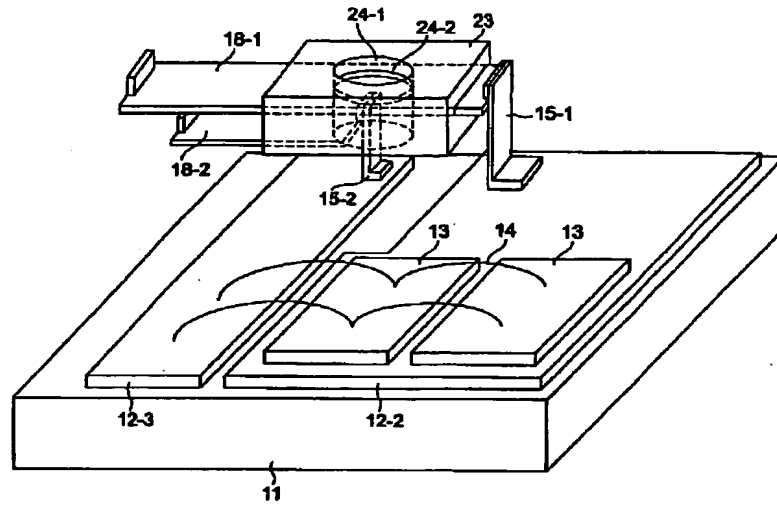
【図7】



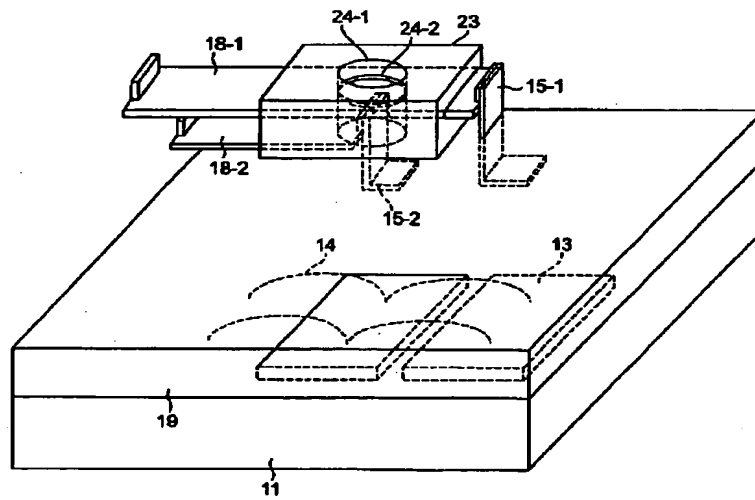
【図11】



【図 8】



【図 9】



[illegible]